

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 09312352 A

(43) Date of publication of application: 02.12.97

(51) Int. Cl.

H01L 21/8247

H01L 29/788

H01L 29/792

H01L 27/115

(21) Application number: 08148547

(71) Applicant: RICOH CO LTD

(22) Date of filing: 21.05.96 ✓.✓.✓

(72) Inventor: HASHIMOTO TAISUKE

(54) MANUFACTURE OF NONVOLATILE SEMICONDUCTOR STORAGE DEVICE

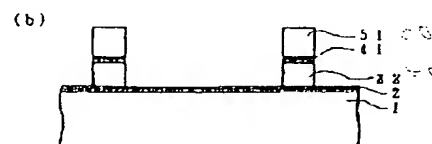
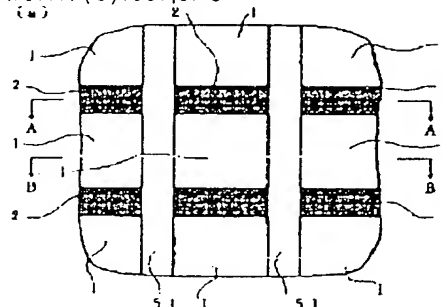
floating electrode 32 is made of the first polycrystalline silicon film.

(57) Abstract:

PROBLEM TO BE SOLVED: To secure that the resistance of a source and drain contact region does not increase and that floating electrodes are not short-circuited with one another, accompanied by the reform of the manufacturing method of a nonvolatile semiconductor storage device.

SOLUTION: This method is the one described below. A first insulating film 2 is made all over the surface of a semiconductor substrate 1 and a first polycrystalline silicon film is made, and then they are patterned into a plurality of stripes, using a photolithography method. After formation of a second insulating film consisting of an ONO film and a second polycrystalline silicon film, they are patterned in the orthogonal direction to the stripes, using a photolithography method, so as to make a plurality of control electrodes 51. Ion implantation is made obliquely to a semiconductor substrate 1 from both directions along the control electrode 51, and after ion introduction into the second insulating film exposed on both sides and the top of the stripe, it is etched to form an interlayer insulating layer consisting of a second insulating film. Then, a

COPYRIGHT: (C)1997,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-312352

(43) 公開日 平成9年(1997)12月2日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/8247		H 0 1 L 29/78	3 7 1
	29/788		27/10	4 3 4
	29/792			
	27/115			

審査請求 未請求 請求項の数 3 F D (全 7 頁)

(21) 出願番号 特願平8-148547

(22) 出願日 平成8年(1996)5月21日

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者 橋本 泰典

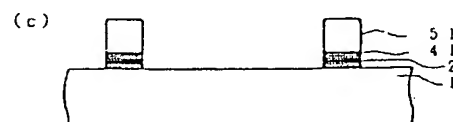
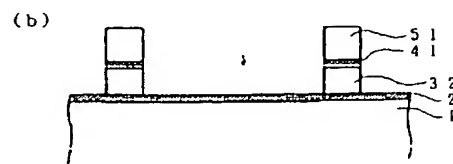
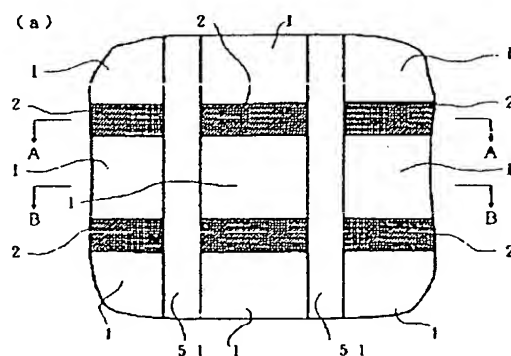
東京都大田区中馬込1丁目3番6号 株式会社リコー内

(54) 【発明の名称】 不揮発性半導体記憶装置の製造方法

(57) 【要約】

【課題】 不揮発性半導体記憶装置の製造方法の改良に関するものであり、ソースドレインコンタクト領域の抵抗が増大することがなく、浮遊電極相互間が短絡されることをなくす改良である。

【解決手段】 半導体基板1の全面上に第1の絶縁膜2を形成し、第1の多結晶シリコン膜を形成した後フォトリソグラフィー法を使用して複数の条にパターニングし、ONO膜よりなる第2の絶縁膜と第2の多結晶シリコン膜とを形成した後フォトリソグラフィー法を使用して条と直交する方向にパターニングして複数の制御電極51を形成し、制御電極51に沿う方向に両方向から半導体基板1に傾斜してなされるイオン注入をなして、条の両側面と上面とに露出している第2の絶縁膜中にイオンを導入した後エッチングして第2の絶縁膜より層間絶縁層41を形成し、第1の多結晶シリコン膜より浮遊電極32を形成する工程を有する不揮発性半導体記憶装置の製造方法である。



1

【特許請求の範囲】

【請求項1】 1導電型の半導体基板の全面上に第1の絶縁膜を形成し、

該第1の絶縁膜上に第1の多結晶シリコン膜を形成し、
該第1の多結晶シリコン膜をフォトリソグラフィ法を使用して相互に間隔を置いて並設される複数の条にパターンニングし、

前記第1の絶縁膜と前記条とが形成されている前記半導体基板の全面上に、ONO膜よりなる第2の絶縁膜と第2の多結晶シリコン膜とを形成し、

該第2の多結晶シリコン膜をフォトリソグラフィ法を使用して前記条と直交する方向にパターンニングして、相互に間隔を置いて並設される複数の制御電極を形成し、
該制御電極に沿う方向に両方向から前記半導体基板に傾斜してなされるイオン注入をなして、前記条の両側面と上面とに形成され露出している第2の絶縁膜中にイオンを導入して、この領域のエッチングレートを増大し、
前記条の両側面と上面とに形成され露出している前記第2の絶縁膜を除去し、
前記条の露出部を除去して浮遊電極を形成する工程を含むことを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項2】 前記イオン注入は、リン、ボロンまたはヒ素を注入してなすことを特徴とする請求項1記載の不揮発性半導体記憶装置の製造方法。

【請求項3】 前記半導体基板に傾斜してなされるイオン注入の傾斜角度は、前記第1の多結晶シリコン膜の厚さを前記第1の多結晶シリコン膜がパターンニングされて形成された複数の前記条の相互の間隔をもって除した値の逆正接であることを特徴とする請求項1または請求項2記載の不揮発性半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、浮遊電極を有する不揮発性半導体記憶装置の製造方法の改良に関する。特に、ソースドレインコンタクト領域の抵抗を増大するという欠点がなく、また、浮遊電極相互間を短絡するという欠点がないという利益を実現する不揮発性半導体記憶装置の製造方法の改良に関する。

【0002】

【従来の技術】電気的に書込可能なEPROMまたは電気的に消去や書込が可能なEEPROMが広く使用されている。これらの不揮発性半導体記憶装置を製造する従来技術に係る製造方法について、製造工程の各段階における半導体装置の断面図を参照しながら説明する。

【0003】図8参照

1導電型半導体基板1上にゲート絶縁膜となる第1の絶縁膜2を形成し、続いて第1の多結晶シリコン膜3を形成する。

【0004】図9a、b、c参照

2

第1の多結晶シリコン膜3をパターンニングして、間隔を置いて並列する複数の第1の多結晶シリコンからなる条31を形成する。a図は平面図を示し、b図とc図とは、それぞれ平面図a図のA-A面とB-B面とにおいて切断した断面図であり、b図は条31が存在する領域における断面図、c図は隣接する条31相互間の領域（以後、この領域を浮遊電極分離溝と称す）における断面図である。

【0005】図10a、b参照

10 第1の絶縁膜2と第1の多結晶シリコンからなる条31との上にONO膜よりなる第2の絶縁膜4と第2の多結晶シリコン膜5とを重ねて形成する。

【0006】図11a、b参照

レジストパターン6を使用して第2の多結晶シリコン膜5をパターンニングし、第1の多結晶シリコンからなる条31と直交する方向に間隔を置いて並列して設けられる制御電極51を形成する。このとき、制御電極51は、第1の多結晶シリコン膜3よりなる条31上に形成される領域（a図参照）と第1の多結晶シリコン膜3が除去された浮遊電極分離溝に形成される領域（b図参照）とがある。

【0007】図12a、b、c参照

ONO膜をエッチングして第2の絶縁膜4の露出領域を除去する。エッチングされて残存するONO膜は層間絶縁層41となる。次いで、第1の多結晶シリコンをエッチングする。第1の多結晶シリコンよりなる条31の内、第2の絶縁膜4が除去されて露出している領域が除去される。条31は露出領域を除去されて浮遊電極32を形成する。浮遊電極32と制御電極51とからなるスタックゲート電極が完成した後レジスト6を除去する。a図は平面図を示し、b図とc図とは、それぞれ平面図a図のA-A面とB-B面とにおいて切断した断面図である。

【0008】その後、スタックゲート電極を挟んでソース・ドレインを形成する。

【0009】

【発明が解決しようとする課題】上記した従来技術に係る不揮発性半導体記憶装置の製造方法においては、図12a、b、cを参照して説明したONO膜の除去工程と第1の多結晶シリコンの除去工程とにおいて、下記の欠点を免れない。すなわち、ソース・ドレインで囲まれる浮遊電極分離溝領域では、ONO膜の除去工程で第1の絶縁膜2も除去され、第1の多結晶シリコンの除去工程でこの領域の半導体基板1が掘削され（図12cの矢印参照）、この結果、ソース・ドレインのコンタクト部の抵抗が増大することと、第2の絶縁膜4の露出領域では、ONO膜の除去工程で条31の側面を覆う、すなわち浮遊電極分離溝の側面を覆う、第2の絶縁膜4が完全に除去されず、残った第2の絶縁膜4がマスクとなって第1の多結晶シリコンの除去工程で除去されるべき第1

3

の多結晶シリコンが残留し、隣接する浮遊電極32が短絡することとである。

【0010】本発明の目的は、これらの欠点を解消することにより、ソース・ドレインで囲まれる浮遊電極分離溝領域で第1の絶縁膜2が除去されず、ソース・ドレインのコンタクト部の抵抗が増大することのないようにし、第2の絶縁膜4の露出領域で条31の側面を覆う第2の絶縁膜4が完全に除去されるようにし、隣接する浮遊電極32の間に第1の多結晶シリコンが残存せず、浮遊電極32が短絡することのない不揮発性半導体記憶装置の製造方法を提供することにある。

【0011】

【課題を解決するための手段】本発明は、リン、ボロン、または、ヒ素をONO膜よりなる第2の絶縁膜4に導入するとエッチングレートが増大するという自然法則を積極的に活用しているものであり、ONO膜と第1の多結晶シリコンを除去する工程に先立ち、露出している第2の絶縁膜4の内、第1の多結晶シリコンよりなる条31を覆う領域（条31の上面と両側面とを覆う領域）のみに、リン、ボロン、または、ヒ素を導入して、この領域のエッチングレートを増大しておき、ONO膜を除去する工程においては、その他の露出している領域（ソース・ドレインで囲まれる浮遊電極分離溝領域）上の第1の絶縁膜2は除去されないようにし、次工程の第1の多結晶シリコンの除去工程において、ソース・ドレインで囲まれる浮遊電極分離溝領域上の第1の絶縁膜2が半導体基板1のガードの役目を果たすようにする。この結果、ソース・ドレインで囲まれる浮遊電極分離溝領域上の半導体基板1は掘削されず、しかも、第1の多結晶シリコンは、浮遊電極32を挟む領域から完全に除去されて、浮遊電極32が短絡されることがないようにするものである。

【0012】さらに具体的に言えば、1導電型の半導体基板1の全面上に第1の絶縁膜2を形成し、この第1の絶縁膜2上に第1の多結晶シリコン膜3を形成し、この第1の多結晶シリコン膜3をフォトリソグラフィ法を使用して相互に間隔を置いて並設される複数の条31にパターニングし、前記の第1の絶縁膜2と前記の条31とが形成されている前記の半導体基板1の全面上に、ONO膜よりなる第2の絶縁膜4と第2の多結晶シリコン膜5とを形成し、この第2の多結晶シリコン膜5をフォトリソグラフィ法を使用して前記の条31と直交する方向にパターニングして、相互に間隔を置いて並設される複数の制御電極51を形成し、この制御電極51に沿う方向に両方向から前記の半導体基板1に傾斜してなされるイオン注入をなして、前記の条31の両側面と上面とに形成され露出している前記の第2の絶縁膜4中にイオンを導入して、この領域のエッチングレートを増大し、前記の条31の両側面と上面とに形成され露出している第2の絶縁膜4を除去し、前記の条31の露出部を

4

除去して浮遊電極32を形成する工程を含み、ソース・ドレインに囲まれた領域上の前記の第1の絶縁膜2に損傷を与えることなく、また、前記の浮遊電極32相互間が短絡されることをなくする不揮発性半導体記憶装置の製造方法である。

【0013】そして、前記のイオン注入は、リン、ボロンまたはヒ素を導入してなすこととすれば、第2の絶縁物4において、リン、ボロンまたはヒ素が導入された領域のエッチングレートが増大するので、エッチングレートの差を利用したエッチングを行うことができ都合がよい。

【0014】さらに、前記の半導体基板1に傾斜してなされるイオン注入の傾斜角度は、前記の第1の多結晶シリコン膜3の厚さを前記の第1の多結晶シリコン膜3がパターニングされて形成された複数の前記の条31の相互の間隔をもって除した値の逆正接であることと、されていると、ソース・ドレインに囲まれた領域にはイオン注入を防ぐことができ、エッチングレートの差を利用したエッチングを望みどおりに制御することができる。

【0015】

【発明の実施の形態】以下、図面を参照して、本発明の実施の形態の1例に係る不揮発性半導体記憶装置の製造方法について、製造工程の各段階における半導体記憶装置の断面図を参照しながら、説明する。

【0016】第1実施例

図1参照

P型半導体基板1上にゲート絶縁膜として、例えばP型半導体基板1の表面を熱酸化させることにより、約25nmの膜厚の第1の絶縁膜2を形成し、続いてCVD法を使用して、例えばモノシランを熱分解して、第1の多結晶シリコン膜3を形成する。第1の多結晶シリコン膜3の膜厚は例えば150nmとしている。

【0017】図2a、b、c参照

フォトリソグラフィ法を使用して、第1の多結晶シリコン膜3をパターニングし、等間隔に並列して設けられた複数の条31を形成する。エッチャントとして例えば六フッ化硫黄と酸素との混合ガスを使用する。a図は平面図を示し、b図とc図とは、それぞれ平面図a図のA-A面とB-B面とにおいて切断した断面図であり、b図は複数の条31が存在する領域における断面図、c図は隣接する条31相互間の浮遊電極分離溝における断面図である。

【0018】図3a、b参照

第1の絶縁膜2と、第1の多結晶シリコン膜3がパターニングされて形成された複数の条31との上にONO膜よりなる第2の絶縁膜4と第2の多結晶シリコン膜5とを、CVD法を使用して、重ねて形成する。第2の絶縁膜4の膜厚は例えば50nmとし、第2の多結晶シリコン膜5の膜厚は例えば200nmとしている。a図とb図とは、それぞれ図2のb図とc図とに対応する断面図

である。

【0019】図4 a、b、c 参照

レジストを塗布し、フォトリソグラフィー法を使用して第1の多結晶シリコン膜3がパターンニングされて形成された複数の条31と直交する方向に等間隔に並列してレジストパターン6を形成し、第2の多結晶シリコン膜5をエッチングして、第1の多結晶シリコンよりなる条31と直交する方向に制御電極51を形成する。a図は平面図を示し、b図とc図とは、それぞれ平面図a図のA-A面とB-B面とにおいて切断した断面図である。

【0020】図5 参照

図5は、半導体記憶装置を制御電極51と平行にすなわちレジストパターン6と平行に、図4 aのC-C面で切断した断面図であり、本発明に係る不揮発性半導体記憶装置の製造方法において要部をなす工程、すなわち、ONO膜よりなる第2の絶縁膜4にボロンを注入する工程を示す図である。図5に示すように、ボロンの注入は、15 keVのエネルギーを持つボロンを制御電極51に沿う方向に半導体基板1と傾斜して両方向(図5の矢印参照)から注入する。注入時のドーズ量は1平方cm当たり 10^{12} 個である。浮遊電極分離溝7の幅が0.8 μ mのときは、半導体基板1に対する注入角度を10.6度として、浮遊電極分離溝7の底面の第2の絶縁膜4およびその下地の第1の絶縁膜2にはイオン注入をすることのないようにしている。また、制御電極51はレジストパターン6によりイオン注入されることなく、第2の絶縁膜4において、第1の多結晶シリコンからなる条31の上面および両側面に露出している領域のみにイオン注入し、この領域にボロンイオンを導入している。

【0021】図6 a、b 参照

ONO膜の除去工程を実施し、第2の絶縁膜4の露出領域を除去する。第2の絶縁膜4において、ボロンイオンが導入された領域は、ボロンイオンのためエッチングレートが増大しており、ボロンイオンが導入されていない領域と比較しエッチングレートが3倍と早くなっている。このため、条31の側面を覆う第2の絶縁物4は条31の高さと同一高さ(本例では150 nm)を持っているが、この高さの第2の絶縁物4を完全に除去するエッチングを実施したとしても浮遊電極分離溝6の底面の厚さ50 nmの第2の絶縁物4が除去されるだけであり、第1の絶縁膜2は生成された状態で残すことができる。第2の絶縁膜4はエッチングされて層間絶縁層41が形成される。a図とb図とは、それぞれ図4のb図とc図とに対応する断面図である。

【0022】図7 a、b、c 参照

引き続いて、第1の多結晶シリコンの除去工程が実施される。この工程において、第1の多結晶シリコンよりなる複数の条31の内、第2の絶縁膜4が除去されて露出している領域は完全に除去され、層間絶縁層41と制御電極51とで覆われている領域は除去されずに残り、浮

遊電極32を形成する。この後レジストパターンが除去される。a図は平面図を示し、b図とc図とは、それぞれ平面図a図のA-A面とB-B面とにおいて切断した断面図である。

【0023】この第1の多結晶シリコンの除去工程において、浮遊電極分離溝の底面の領域では、残されている第1の絶縁膜2がエッチングされるが、半導体基板1がエッチングされることはない。この結果、従来技術に係る不揮発性半導体記憶装置の製造方法において、除去できずに残留していた第1の多結晶シリコンに起因する浮遊電極32の短絡が、本発明に係る不揮発性半導体記憶装置の製造方法においては、隣接する浮遊電極32間の第1の多結晶シリコンが完全に除去され、浮遊電極32が短絡することがない。

【0024】この工程の後、浮遊電極32と制御電極51とからなるスタックゲート電極を挟んでソース・ドレインが形成される。このとき、第1の多結晶シリコン膜3の除去工程において、半導体基板1がエッチングされていないので、ソース・ドレインの抵抗が増大することもない。

【0025】第2実施例

第1実施例においては、第2の絶縁膜にボロンをイオン注入していたが、本第2実施例においてはボロンに変えて、リン、または、ヒ素をイオン注入する。リン、または、ヒ素が導入された第2の絶縁膜4のエッチングレートは、ボロンが導入された第2の絶縁膜と同様エッチングレートが増大する。そこで、リン、または、ヒ素を制御電極51に沿う方向に半導体基板1と傾斜して両方向からイオン注入すると、次のONO膜の除去工程において、浮遊電極分離溝の底面の第1の絶縁膜が除去されることなく、第1の多結晶シリコン膜からなる条の側面を覆う第2の絶縁膜は完全に除去される。このため、ソース・ドレインの抵抗が増大することも、浮遊電極が短絡することもない。

【0026】

【発明の効果】以上説明したように、本発明に係る不揮発性半導体記憶装置の製造方法は、第2の絶縁膜の除去工程の前に、第2の絶縁膜に制御電極に沿う方向で両方向から半導体基板と傾斜してイオン注入している。そこで、イオン注入された第1の多結晶シリコン膜からなる条の上面と両側面の第2の絶縁膜はエッチングレートが増大し、第2の絶縁膜の除去工程において、高さのある条の両側面の第2の絶縁膜は除去されても、イオン注入されていない浮遊電極分離溝底面の第2の絶縁膜の下地の第1の絶縁膜は除去されずに残る。第2の絶縁膜の除去工程に続く第1の多結晶シリコンの除去工程において、浮遊電極間の第1の多結晶シリコン膜は完全に除去され、浮遊電極分離溝底面の第1の絶縁膜は除去されても、その下の半導体基板が掘削されることがない。このため、本発明に係る不揮発性半導体記憶装置の製造方法

10

20

30

40

50

によって形成された半導体記憶装置は、浮遊電極が短絡することがなく、また、ソース・ドレインの抵抗が増大することもない。

【図面の簡単な説明】

【図1】本発明に係る不揮発性半導体記憶装置の製造方法を使用して形成される製造工程中の半導体記憶装置の断面図である。

【図2】本発明に係る不揮発性半導体記憶装置の製造方法を使用して形成される製造工程中の半導体記憶装置の断面図である。

【図3】本発明に係る不揮発性半導体記憶装置の製造方法を使用して形成される製造工程中の半導体記憶装置の断面図である。

【図4】本発明に係る不揮発性半導体記憶装置の製造方法を使用して形成される製造工程中の半導体記憶装置の断面図である。

【図5】本発明に係る不揮発性半導体記憶装置の製造方法を使用して形成される製造工程中の半導体記憶装置の断面図である。

【図6】本発明に係る不揮発性半導体記憶装置の製造方法を使用して形成される製造工程中の半導体記憶装置の断面図である。

【図7】本発明に係る不揮発性半導体記憶装置の製造方法を使用して形成される製造工程中の半導体記憶装置の断面図である。

【図8】従来技術に係る不揮発性半導体記憶装置の製造

方法を使用して形成される製造工程中の半導体記憶装置の断面図である。

【図9】従来技術に係る不揮発性半導体記憶装置の製造方法を使用して形成される製造工程中の半導体記憶装置の断面図である。

【図10】従来技術に係る不揮発性半導体記憶装置の製造方法を使用して形成される製造工程中の半導体記憶装置の断面図である。

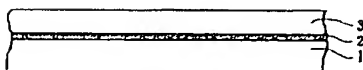
【図11】従来技術に係る不揮発性半導体記憶装置の製造方法を使用して形成される製造工程中の半導体記憶装置の断面図である。

【図12】従来技術に係る不揮発性半導体記憶装置の製造方法を使用して形成される製造工程中の半導体記憶装置の断面図である。

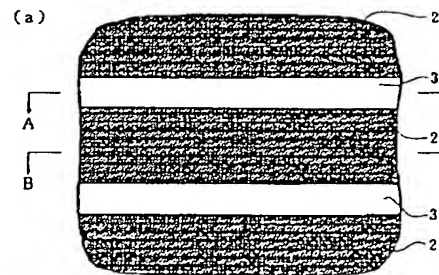
【符号の説明】

- 1 半導体基板
- 2 第1の絶縁膜
- 3 第1の多結晶シリコン膜
- 4 第2の絶縁膜
- 5 第2の多結晶シリコン膜
- 6 レジストパターン
- 7 浮遊電極分離溝
- 31 条
- 32 浮遊電極
- 41 層間絶縁層
- 51 制御電極

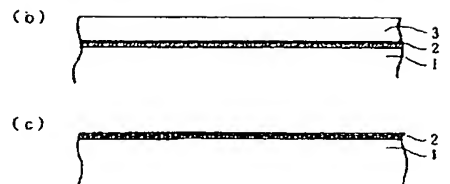
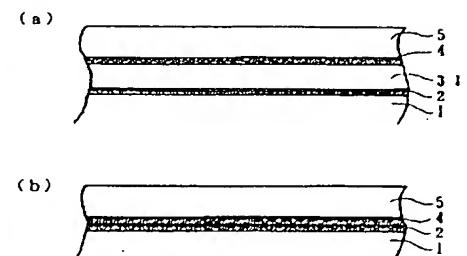
【図1】



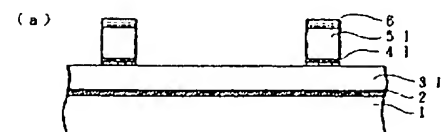
【図2】



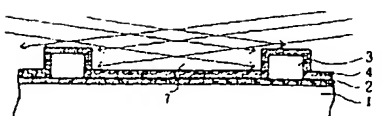
【図3】



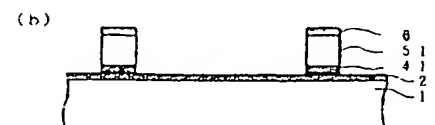
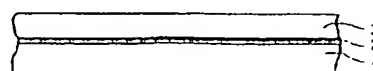
【図6】



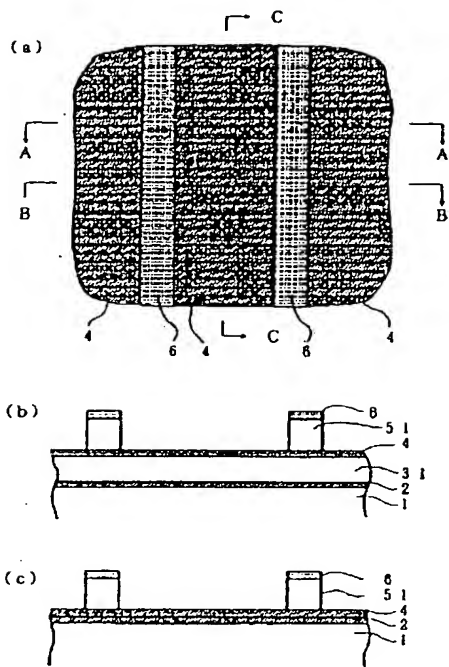
【図5】



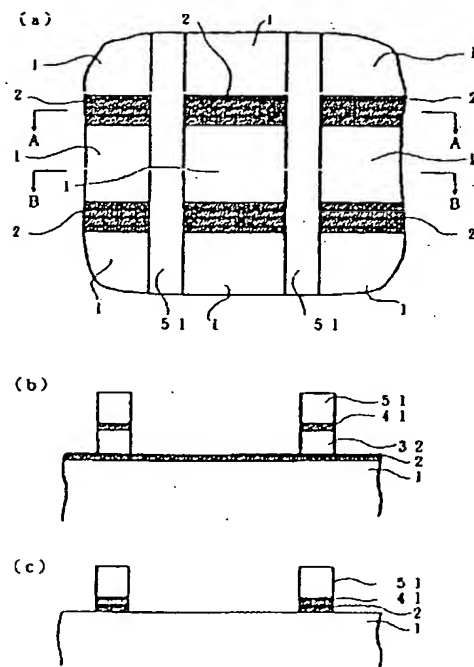
【図8】



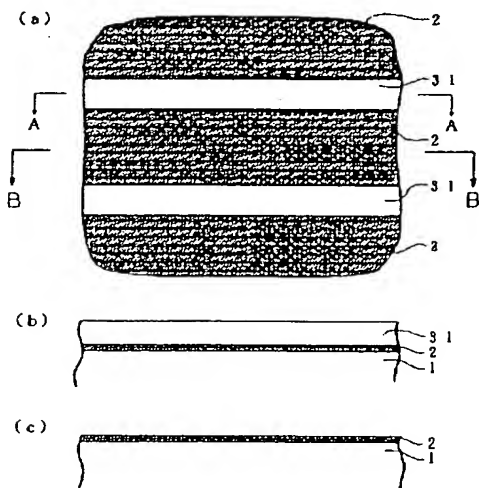
【図4】



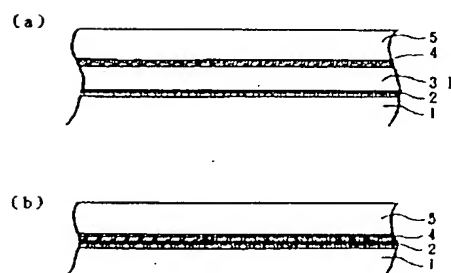
【図7】



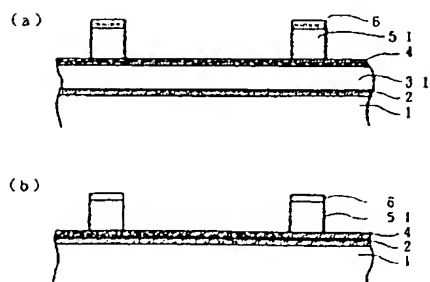
【図9】



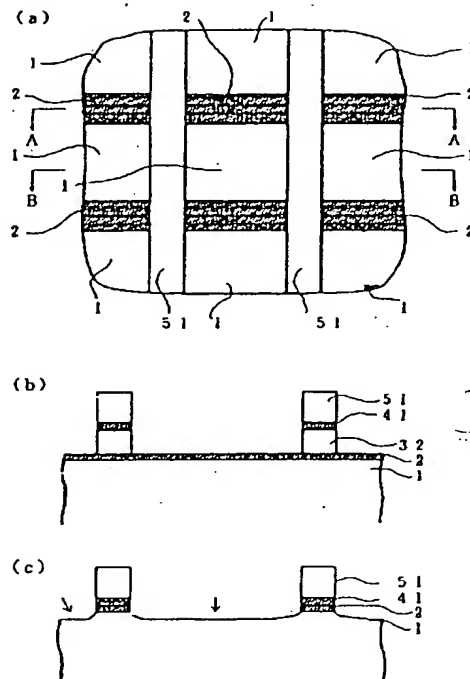
【図10】



【図11】



【図12】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.